

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-165641

(43)Date of publication of application : 02.07.1993

(51)Int.Cl.

G06F 9/42

G05B 15/02

G06F 9/46

G06F 15/78

(21)Application number : 04-110092

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.04.1992

(72)Inventor : NISHIMURA AKIRA

OGAWA SUNAO

YAMADA YASUO

KANUMA AKIYOSHI

(30)Priority

Priority number : 03 98671

Priority date : 30.04.1991

Priority country : JP

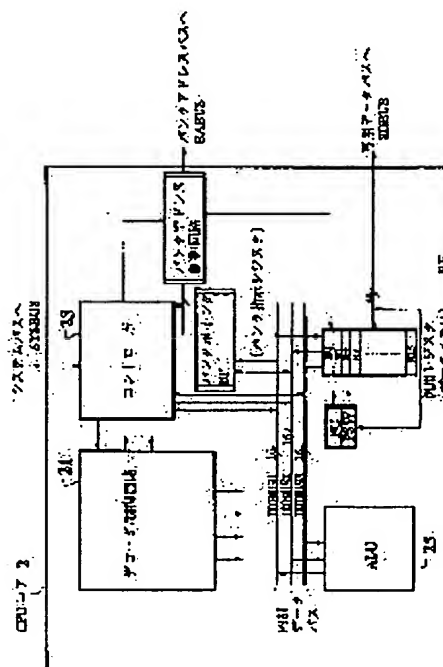
(54) SINGLE CHIP MICROCOMPUTER

(57)Abstract:

PURPOSE: To facilitate the utilization of a built-in RAM and the exchange of data between register banks.

CONSTITUTION: A central processing unit (CPU) 2 is equipped with a data memory RG to output internal data used as a general-purpose register to an exclusive data bus SDBUS while being connected to the exclusive data bus SDBUS, which transfers data by connecting built-in RAMs, and a bank address bus BABUS to transfer address information corresponding to data transferred by the exclusive data bus SDBUS by connecting the CPU 2 and the built-in RAM, and a bank instruction register BP to hold the position information of a mapping area in the

case of mapping the contents of the data memory RF into the built-in RAM and to output the information to the bank address bus BABUS. The built-in RAM is equipped with a bank address control circuit to generate a real address based on the contents of the bank



instruction register BP and a selecting circuit to select either the real address generated by the bank address control circuit or an address on a source address bus.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

【特許請求の範囲】

【請求項1】 シングルチップマイクロコンピュータにして、

- (a) プログラムの処理を行なうための中央処理装置のブロックと、
- (b) 内蔵RAMのブロックと、
- (c) 内蔵ROMのブロックと、
- (d) これら各ブロック間を接続してデータを転送する第1のバスと、
- (e) 前記第1のバスで転送されるデータに対応したアドレス情報を転送する第2のバスと、
- (f) 前記第1のバスのビット数以上のビット数を備え前記中央処理装置と前記内蔵RAM間を接続してデータを転送する第3のバスと、
- (g) 前記中央処理装置と前記内蔵RAM間を接続して前記第3のバスで転送されるデータに対応したアドレス情報を転送する第4のバスとを具備し、
- (h) 前記中央処理装置は、現在実行しているプログラムを一時的に中断し、新しいプログラムへ実行の制御を移す場合に、アドレス情報を前記第4のバスを介して前記内蔵RAMへ転送し、上記中央処理装置の保持しているデータを前記第3のバスを介して前記内蔵RAMへ退避させると共に、上記新しいプログラムが終了し、上記中断されていたプログラムを再開する場合に、前記退避データの読み出し復帰のために前記退避されたデータのアドレス情報を前記第4のバスを介して前記内蔵RAMに転送すると共に、前記退避されたデータを前記内蔵RAMから前記中央処理装置へ前記第3のバスを介して復帰させる様に構成されていることを特徴とするシングルチップマイクロコンピュータ。

【請求項2】 前記中央処理装置は、汎用レジスタとして使用され、前記内蔵RAMに対する前記第3のバスを介してのデータの退避および復帰の場合に前記第3のバスに対してデータの出し入れを行うためのデータメモリと、前記内蔵RAMに対する前記第3のバスを介してのデータの退避および復帰に伴うアドレス情報を保持し前記第4のバスへ出力するバンク指示レジスタと、上記データメモリおよびバンク指示レジスタを制御する制御手段とを有していることを特徴とする請求項1に記載のシングルチップマイクロコンピュータ。

【請求項3】 前記中央処理装置の制御手段により、前記データメモリがレジスタバンクとして使用され、前記バンク指示レジスタに異なる値が指定され、前記内蔵RAM上に複数個のレジスタバンクに対応した写像領域を確保する場合、前記複数の写像領域が前記内蔵RAM上で部分的に重ね合わされていることを特徴とする請求項2に記載のシングルチップマイクロコンピュータ。

【請求項4】 プログラムの処理を行うための中央処理装置にして、

- (a) 現在実行しているプログラムを一時的に中断し、新

しいプログラムへ実行の制御を移す場合および上記新しいプログラムが終了し、上記中断されていたプログラムを再開する場合に、データおよびそのアドレス情報の出し入れを行うための第1の出し入れ手段と、

- (b) 現在実行しているプログラムを一時的に中断し、新しいプログラムへ実行の制御を移す場合および上記新しいプログラムが終了し、上記中断されていたプログラムを再開する場合以外の通常の場合に、データおよびそのアドレス情報の出し入れを行うための第2の出し入れ手段とを具備することを特徴とする中央処理装置。

【請求項5】 シングルチップマイクロコンピュータにして、

- (a) プログラムの処理を行なうための中央処理装置のブロックと、
- (b) 内蔵RAMのブロックと、
- (c) 内蔵ROMのブロックと、
- (d) これら各ブロック間を接続してデータを転送する第1のバスと、
- (e) 前記第1のバスで転送されるデータに対応したアドレス情報を転送する第2のバスと、
- (f) 前記第1のバスのビット数以上のビット数を備え前記中央処理装置と前記内蔵RAM間を接続してデータを転送する第3のバスと、
- (g) 前記中央処理装置と前記内蔵RAM間を接続して前記第3のバスで転送されるデータに対応したアドレス情報を転送する第4のバスとを具備することを特徴とするシングルチップマイクロコンピュータ。

【請求項6】 前記中央処理装置は、汎用レジスタとして使用され内部のデータを前記第3のバスに出力するデータメモリと、前記データメモリの内容が前記内蔵RAM内に写像される時の写像領域の位置情報を保持し前記第4のバスに出力するバンク指示レジスタとを有することを特徴とする請求項5に記載のシングルチップマイクロコンピュータ。

【請求項7】 前記中央処理装置は、汎用レジスタとして使用される複数組のデータメモリと、前記複数組のデータメモリの出力を選択して前記第3のバスに出力する第1のマルチプレクサと、前記複数組のデータメモリの内容がそれぞれ前記内蔵RAM内に写像される時の写像領域の位置情報をそれぞれ保持する複数のバンク指示レジスタと、前記複数のバンク指示レジスタの出力を選択して前記第4のバスに出力する第2のマルチプレクサと、前記複数組のデータメモリの何れが現在使用されているかを示すバンク指示フラグとを有することを特徴とする請求項5に記載のシングルチップマイクロコンピュータ。

【請求項8】 前記内蔵RAMは、記憶要素アレイとアドレス選択回路を有し、アドレス選択回路は、前記第4のバスと前記第2のバスに接続されて記憶要素アレイに選択的にアドレスを供給することを特徴とする請求項5

に記載のシングルチップマイクロコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はシングルチップマイクロコンピュータに関し、特にレジスタバンク機能を持ち、チップ面積が小さく、また性能の高いシステムの構築が可能で、高速動作の可能なシングルチップマイクロコンピュータに関する。

【0002】

【従来の技術】組み込み制御機器向けの汎用のマイクロコンピュータやマイクロプロセッサ（MCU/MPU）においては、割り込み処理の高速化やマルチタスク/マルチプログラミングシステムに対応するため、レジスタバンクと呼ばれる機能を内蔵することが多くなってきている。

【0003】通常、MCU/MPUは内部にデータを保持するために、汎用レジスタと呼ばれる1組のレジスタ群（例えば、8本の16ビットのレジスタ等）およびプログラムカウンタ、プロセッサステータスワードなどのレジスタを持っている。これらのレジスタはユーザのプログラムから指定され、演算結果やプログラムステータス等の各種情報の保持・格納のために利用される。しかし、プログラムの実行中に割り込み事象が発生し、割り込み処理プログラムを実行する必要性が生じたり、マルチタスク環境下で他の緊急度の高いプログラムを実行する必要性が生じたり（タスクスイッチと呼ぶ）、メインプログラムからサブルーチンプログラムへプログラムの制御を移すサブルーチンコールが発生した場合、MCU/MPUは現在実行しているプログラムを一時的に中断し、新しいプログラムへ実行の制御を移す必要がある。この時、これらレジスタが保持しているデータを一時的に別の場所（通常は外部メモリ）に退避し、新たなプログラムで必要となるデータがあれば、外部から改めてレジスタに読み込むことが行なわれる。そして、割り込みや緊急度の高いプログラムの処理が終わった後、中断したプログラムの処理を再開するために、退避されたデータをレジスタに復帰することが行なわれる。

【0004】レジスタバンク機能を持たないMCU/MPUでは、このレジスタファイルの退避先として、外部メモリ（シングルチップマイクロコンピュータの場合は内蔵RAMの場合もある）が使用される。しかしながら、外部メモリのアクセスは一般的に低速な場合が多く、複数のデータを転送しなければならないレジスタ群の退避/復帰には非常に時間がかかってしまう。従って、割り込みへの高速な反応等、リアルタイムな反応が必要とされる組み込み制御機器では、性能上のネックとなるだけでなく、システムとしての信頼性を低下させる要因となる。

【0005】この問題を解決し、システムとしての性能を上げるために、レジスタバンク機能が利用される。レ

ジスタバンク機能を持つMCU/MPUは、複数組の汎用レジスタを内部に持つ。例えば、1組の汎用レジスタが16本の16ビットレジスタから構成され、8個のレジスタバンクを持つMCUの場合、そのMCUは内部に8組の汎用レジスタ、即ち総計 $8 \times 16 = 128$ 本の16ビットレジスタを持つことになる。

【0006】この複数個の汎用レジスタ（その1組をレジスタバンクと呼ぶ）を、割り込み発生時や、タスクスイッチが発生した時にうまく切り替えながら使用することにより、割り込みの応答時間やタスクスイッチに要する時間を短縮し、システムとしての性能を向上することができる。即ち、レジスタバンクの機能を利用することにより、割り込みやタスクスイッチによりレジスタファイルの退避回復の必要が生じた場合でも汎用レジスタの内容を動作スピードの遅い外部メモリに退避したり、レジスタファイルの復帰のために外部メモリからデータを復帰したりするような、遅い外部メモリのスピードに律速される動作が不要となり、内部的に汎用レジスタを切り替えるという高速な動作で置き換えられる。これにより、レジスタバンクの切り替え時間が短縮されるので、割り込みに対しての高速な反応や、高速なタスクスイッチが実現される。

【0007】このような従来技術によるレジスタバンク機能を用いたシングルチップマイクロコンピュータの構成図を図9に、また該シングルチップマイクロコンピュータ上に搭載されるCPUコアの構成図を図10に示す。

【0008】シングルチップマイクロコンピュータ100は図9に示すように、ワンチップの中に、CPUコア101、内蔵RAM103、内蔵ROM105、バスコントローラ107、割り込みコントローラ109、タイマ111、およびシリアルI/O113等が搭載され、これらブロックは、チップ内のシステムバスSYSBUS（アドレスバスABUS及びデータバスDBUSを含む）を介してデータのやり取りを行なう。また、チップ外部とのデータのやり取りは、バスコントローラ107を通じてI/Oパッドから行なわれる。

【0009】図10に示すように、従来技術では、レジスタバンクを構成する複数組の汎用レジスタRF1~RF8はCPUコア101内部に存在する。そして、これらの汎用レジスタRF1~RF8はCPUコア101内部の複数の内部データバスIDBUS1~IDBUS3に接続され、この内部データバスIDBUS1~IDBUS3を介してALU（論理演算ユニット）等125にデータが転送されて演算が行なわれる。通常、CPUコア101内部で効率的に演算処理を行なうには、汎用レジスタRF1~RF8がCPUコア101内部の複数データバスIDBUS1~IDBUS3からアクセス可能であることが重要である。一般的には、汎用レジスタを構成するメモリのポート数としては、読み出しに2ポ

ト、書き込みに1ポートの最低3ポートは必要である。更に書き込みポートを1つ増やして計4ポートの構成を取るとデータの処理効率は改善される。通常は、3ポートまたは4ポートのRAMによりレジスタファイルを構成するのが普通である。また、どのレジスタバンク（どのレジスタファイル）を使用するかはCPUコア101内部のバンク指示レジスタ127によって指示される。バンク指示レジスタ127は現在使用されている汎用レジスタの番号を保持し、レジスタバンクの切り替えはバンク指示レジスタ127の内容を書き換えることにより行なわれる。バンク指示レジスタ127の内容を書き換えることにより、指定した番号を持つ新しい汎用レジスタが使用されるようになる。この時、古い汎用レジスタは使用されなくなるだけで、その内容は保持される。

【0010】従って割り込みが発生し、レジスタを退避する手順は、

①プロセッサステータスワードプログラムカウンタ、バンク指示レジスタ等をシステムバスを介してスタックに退避する。

【0011】②バンク指示レジスタを更新し使用する汎用レジスタを切りかえる。

【0012】という手順になる。

【0013】また、割り込みの処理が終了し元のプログラムに復帰する場合の手順は、

①システムバスを介して外部メモリからプログラムカウンタ、プロセッサステータスワード、バンク指示レジスタのデータを読み込み内容を復帰するという手順になる。

【0014】この方法により、汎用レジスタをスピードの遅いシステムバスを介して外部メモリに書き込んだり、読み込んだりする処理が不要になり、高速にCPU内部のレジスタの内容を切り替えることが可能になる。

【0015】

【発明が解決しようとする課題】組み込み制御用のMCU/MPUへの高機能化の要求は高くなってきており、レジスタバンクの数も4～8バンク程度でよかったものが、最近では16、32、64、更には256バンクへと増加してきている。このように、レジスタバンクのバンク数が増大してくると、従来技術によるレジスタバンクの構成方法では以下に示す如き種々の問題が発生する。

【0016】一般に、多ポートメモリの回路設計において、単位メモリセルの占有面積は、ポート数に比例した数だけ余分のトランジスタ及び配線が必要となるため、ポート数が多いほど大きくなる。従って、多ポートの汎用レジスタの占有面積が大きいことは回路設計的に避けられない。しかし、4バンク程度のレジスタバンク数ならば、少々メモリセルが大きくても、メモリのビット数がそれほど多くない（汎用レジスタの大きさが16ビット×16本の場合、4バンクで高々1024ビットであ

る）ので、多ポートメモリを使用しても、チップ全体に対する面積オーバーヘッドはそれほど問題にならない。しかし、バンク数が多いと、これに比例して必要なメモリセルのビット数も多くなり、多ポートメモリを使用することに伴う面積増加は無視できないものとなってくる。また、ビット数の大きな多ポートメモリは、設計そのものが難しく、消費電力も大きく、また、動作スピードも余り速くないので、LSI設計上好ましくない。

【0017】従って、従来技術のレジスタバンクの構成を用いた場合、多ポートのメモリセルを用いてレジスタバンク用のメモリを構築しなければならないので、多数のレジスタバンクを実現しようとなると、チップ面積や消費電力が非常に大きくなってしまいうという欠点がある。また、大規模な多ポートメモリは設計そのものが難しく、動作スピードも余り速くないという欠点があるのでチップの動作スピードを律速してしまうこともある。また、従来技術のレジスタバンクの構成では、レジスタバンク用のメモリはレジスタバンクとしてしか使用できないため、レジスタバンク機能を利用せず1組の汎用レジスタのみを使用する時には、使用されないレジスタバンクは全く無駄になってしまうという問題もある。

【0018】また、C言語などの高級言語で書かれたプログラムをMCU/MPUで実行する場合に、メインプログラムからサブルーチンプログラムにサブルーチンコールを行なう際に、レジスタバンクの機能が利用できる。この時、メインプログラムからサブルーチンプログラムに引数としてデータを受け渡したり、サブルーチンからメインプログラムに演算結果を返したりすることが多い。従って、サブルーチンコールに伴うレジスタバンク切り替えの際には、1部のデータをレジスタバンク間で共有できる（引き渡せる）ようにすると都合がよい。しかし、従来技術のレジスタバンクの構成方式では、異なるレジスタバンクは異なるレジスタファイルで実装されており、それぞれのレジスタバンクは全く異なる物理的な記憶素子から構成されており、レジスタバンク間でのデータの引き渡し機構を実現するのは困難であった。

【0019】以上のように、従来のレジスタバンクを構成するシングルチップマイクロコンピュータでは、(1) バンク数の大きいレジスタバンクを実現しようとすると、チップ面積や消費電力が非常に大きくなってしまい、またチップの動作スピードを律速してしまうこともある。

【0020】(2) レジスタバンクを使用しない時には、使用されないレジスタバンクは全く無駄になってしまう。

【0021】(3) レジスタバンク間でのデータの引き渡し機構を実現するのが難しい。

【0022】という欠点があった。

【0023】本発明は、上記問題点を解決するもので、その目的は、レジスタバンクの構成において、効率的な

チップ面積を実現し、効率的にオンチップ内蔵RAMを使用でき、異なるレジスタバンク間のデータの引き渡しが可能に可能なシングルチップマイクロコンピュータを提供することである。

【0024】

【課題を解決するための手段】本発明の第1の特徴は、シングルチップマイクロコンピュータにして、(a) プログラムの処理を行なうための中央処理装置のブロック；(b) 内蔵RAMのブロック；(c) 内蔵ROMのブロック；(d) これら各ブロック間を接続してデータを転送する第1のバス；(e) 前記第1のバスで転送されるデータに対応したアドレス情報を転送する第2のバス；(f) 前記第1のバスのビット数以上のビット数を備え前記中央処理装置と前記内蔵RAM間を接続してデータを転送する第3のバス；and (g) 前記中央処理装置と前記内蔵RAM間を接続して前記第3のバスで転送されるデータに対応したアドレス情報を転送する第4のバスを有し、(h) 前記中央処理装置は、現在実行しているプログラムを一時的に中断し、新しいプログラムへ実行の制御を移す場合に、上記中央処理装置の保持しているデータを前記第3のバスを介して前記内蔵RAM内の前記第4のバスのアドレスにより指定される位置へ退避させると共に、上記新しいプログラムが終了し、上記中断されていたプログラムを再開する場合に、前記第4のバスの保持するアドレスにより指定される前記内蔵RAMの位置から前記退避されたデータを前記内蔵RAMから前記中央処理装置へ前記第3のバスを介して復帰させる様に構成されていることである。

【0025】さらに、前記中央処理装置は、①演算データを保持する為に使用される汎用レジスタおよび②実行中のプログラムのアドレスを保持するプログラムカウンタ、③中央処理装置の状態値を保持するプロセッサステータスワードレジスタおよび④バンク指示レジスタを持ち、レジスタバンクにデータを退避/回復する場合に④バンク指示レジスタの保持するアドレスが前記第4のバスに出力され、前記第3のバスには、①汎用レジスタもしくは②③プログラムカウンタ/プロセッサステータスワードを選択的に接続する。

【0026】さらに、前記第4のバスにのせるバンク指示レジスタの値は、汎用レジスタの総バイト数より小さい値で指定可能であり、前記内蔵RAM上にレジスタバンクの写像領域を確保する場合、異なるレジスタバンクの写像領域を、前記内蔵RAM上で部分的に重ね合わせることが可能である。

【0027】上述の如き第1の特徴のシングルチップマイクロコンピュータでは、中央処理装置と内蔵RAMの間に、ビット幅の広い専用の第3のバスSDBUSと、この第3のバスSDBUSで転送されるデータに対応したアドレス情報を転送する第4のバスBABUSとを設け、中央処理装置と内蔵RAMの間で高速にデータ転送

を可能にする。

【0028】また、中央処理装置内に、汎用レジスタとして使用され内部のデータを前記第3のバスSDBUSに出力する1組または少数組のデータメモリRFおよび専用レジスタとしてプログラムカウンタ、プロセッサステータスワードを設け、CPUコア内部のデータ処理はこれらのレジスタだけを用いて行う。中央処理装置内部のこれらのレジスタは内蔵RAM上のメモリ領域から第3のバスSDBUSを用いてデータが写像（マッピング）される。内蔵RAM内の異なった位置から写像を行なうことにより、異なったデータが中央処理装置内のレジスタに写像されるので、この処理を高速に行えば、中央処理装置が内部に複数組の汎用レジスタ（レジスタバンク）を持つように見える。レジスタバンクの切り替えに伴うデータの退避/復帰の処理は、第3のバスSDBUSを用いて、内蔵RAMとデータメモリRFの間で高速にデータ転送することにより実現する。中央処理装置内部には、1組もしくは少数組の汎用レジスタとプログラムカウンタとプロセッサステータスワードレジスタRFを持てばよいので、汎用レジスタを構成するデータメモリを多ポート化しても大きな面積を占有しない。

【0029】また、中央処理装置内部には、レジスタバンクの番号を指定するバンク指示レジスタBPおよび、バンクアドレス制御回路を持ち、バンクアドレス制御回路は、バンク指示レジスタのデータを用いて、内蔵RAM上のレジスタバンクの写像領域と中央処理装置との間のデータ転送のアドレスを生成し第4のバスBABUSに出力する。また、バンクアドレス制御回路は、汎用レジスタ/プログラムカウンタ/BWへのリード/ライト指示を出す。特に、このシングルチップマイクロコンピュータでは、写像領域の開始アドレス（バイトアドレス）は、汎用レジスタのサイズ（全バイト数）より小さい間隔で設定可能であり、この開始アドレスを適当な値に設定することにより、内蔵RAM上の汎用レジスタの写像範囲を、異なるレジスタバンク間でオーバーラップさせることができる。これにより、異なるレジスタバンク間でデータを共有することが可能であり、レジスタバンクの切り替えにより1部のデータをレジスタバンクからレジスタバンクへ引き渡すことが可能になる。

【0030】この構成方法により、バンク数の大きい場合も、チップ面積を抑えつつレジスタバンクを容易に構成できる。またレジスタバンクを内蔵RAM上でオーバーラップさせることにより、異なるバンク間でデータを受け渡すことが可能となり、サブルーチンコールのパラメータ渡しの機能を容易に実現できる。

【0031】本発明の第2の特徴は、プログラムの処理を行うための中央処理装置において、(a) 現在実行しているプログラムを一時的に中断し、新しいプログラムへ実行の制御を移す場合および上記新しいプログラムが終了し、上記中断されていたプログラムを再開する場合

に、データおよびそのアドレス情報の出し入れを行うための第1の出し入れ手段；および(b) 現在実行しているプログラムを一時的に中断し、新しいプログラムへ実行の制御を移す場合および上記新しいプログラムが終了し、上記中断されていたプログラムを再開する場合以外の通常の場合に、データおよびそのアドレス情報の出し入れを行うための第2の出し入れ手段を具備することである。

【0032】本発明の第3の特徴は、シングルチップマイクロコンピュータにおいて、(a)プログラムの処理を行なうための中央処理装置のブロック；(b) 内蔵RAMのブロック；(c) 内蔵ROMのブロック；(d) これら各ブロック間を接続してデータを転送する第1のバス；(e) 前記第1のバスで転送されるデータに対応したアドレス情報を転送する第2のバス；(f) 前記第1のバスのビット数以上のビット数を備え前記中央処理装置と前記内蔵RAM間を接続してデータを転送する第3のバス；and (g) 前記中央処理装置と前記内蔵RAM間を接続して前記第3のバスで転送されるデータに対応したアドレス情報を転送する第4のバスを有することである。

【0033】さらに、前記中央処理装置は、汎用レジスタとして使用される複数組のデータメモリと、前記複数組のデータメモリの出力を選択して前記第3のバスに出力する第1のマルチプレクサと、前記複数組のデータメモリの内容がそれぞれ前記内蔵RAM内に写像される時の写像領域の位置情報をそれぞれ保持する複数のバンク指示レジスタと、前記複数のバンク指示レジスタの出力を選択して前記第4のバスに出力する第2のマルチプレクサと、前記複数組のデータメモリの何れが現在使用されているかを示すバンク指示フラグとを有する。

【0034】

【実施例】以下、本発明に係る実施例を図面に基づいて説明する。

【0035】図1に本発明の第1の実施例に係るシングルチップマイクロコンピュータの構成図を示す。

【0036】図1において、シングルチップマイクロコンピュータ1は、CPUコア（中央処理装置）2、内蔵RAM（データメモリ）3、内蔵ROM（プログラムメモリ）5、バスコントローラ7、割り込みコントローラ9、タイマ11、及びシリアルI/O13から構成され、これらブロックは、チップ内の32ビットのシステムバスSYSBUS（16ビットのアドレスバスABUSと16ビットのデータバスDBUS）を介してデータのやり取りを行なう。また、チップ外部とのデータのやり取りは、バスコントローラ7を通じてI/Oパッドから行なわれる。ここで、CPUコア2と内蔵RAM3が専用のバスで接続されていることが本発明の特徴の1つであり、本実施例では、この専用バスは64ビットの幅を持つ双方向性の専用データバスSDBUSと内蔵RAMのアドレスを示す8ビットのバンクアドレスバスBA

BUSである。

【0037】図2に、CPUコア2内部の構成例を示す。CPUコア2内部には、レジスタファイルRF（16ビットのレジスタ16本から構成される）、ALU25、3本の16ビット内部データバスIDBUS1～IDBUS3、デコーダ/制御回路21、コントローラ23、プログラムカウンタ（PC）、プロセッサステータスワード（PSW）等が存在する。デコーダ/制御回路21は命令をデコードしたりCPUコア2の全体の動作を制御する。コントローラ23はシステムバスSYSBUSとのインターフェスを行い、また、CPUコア2の動作に必要な命令やデータを読み込んだり、必要なデータをシステムバスSYSBUSに出力したりする。汎用レジスタRFは、3本の16ビット内部データバスIDBUS1～IDBUS3及び64ビットの専用データバスSDBUSに接続されている。また、プログラムカウンタは現在実行中のプログラムのアドレスを保持し、また、プロセッサステータスワードは中央処理装置の内部状態を規定する。PC、PSWもSDBUSに接続される。また、CPUコア2内には、コントローラ23の指示に従い現在のレジスタバンクのバンク番号を示すバンクポインタBPおよびバンクアドレス制御回路が用意されており、バンクアドレス制御回路はバンク指示レジスタの値に従って、バンクアドレスバスに出力するアドレスを制御する。また、バンクアドレス制御回路は、バンクデータの転送を行う為にPC/PSW/汎用レジスタにリード/ライトの指示および汎用レジスタのリード/ライトのアドレスを生成する。これらのアドレス・ワード/ライト指示に基づき、バンクアドレスバスBABUSを介して内蔵RAM3をアクセスする。すなわち、このCPUコア2は、データの出入口として、システムバスSYSBUSと専用データバスSDBUSの2つを有しているものである。

【0038】より正確に言い換えれば、このCPUコア2は、通常のアドレスおよびデータの出入口としてのシステムバスSYSBUSと、バンク番号出力のための出口としてのバンクアドレスバスBABUSと、汎用レジスタやPC/PSWの退避/復帰に伴うデータの出入口としての専用データバスSDBUSとを有している。

【0039】通常の状態CPUコア2がデータを処理している時には、汎用レジスタは3本の16ビット内部データバスIDBUS1～IDBUS3を通じて、ALU25等とデータのやり取りを行う。64ビットの幅の広い専用データバスSDBUSは、汎用レジスタを構成するレジスタ4本分（16ビット×4＝64ビット）のデータを1度に転送することができ、汎用レジスタ/PC/PSWと内蔵RAM3間の高速度データ転送に使用される。またバンクポインタBPは、8ビットのレジスタであり、このレジスタ内の値から内蔵RAM3内の写像位置の開始アドレスが決定される。本実施例では、バン

クポイントBPの値を8倍した値（バンクポイントBPの下位側に”000”を付けた値）がこの開始位置のバイトアドレスとなり、内蔵RAM3のアドレスマップ上で、8バイト間隔で写像領域の開始アドレスが設定できる。

【0040】バンクアドレス制御回路は、中央処理装置が内蔵RAMとデータ転送を行う時のアドレスを生成するもので、バンクアドレス制御回路は、バンクポイントの値をインクリメントを行い、その値を8倍したアドレスを、データ転送の為のアドレスとしてバンクアドレスバスBABUSに出力する。

【0041】図3に、CPUコア2内の汎用レジスタの構成図を示す。

【0042】汎用レジスタは、メモセル（64ビット×4）のブロック26と、上記メモセル26に対する読み出し書き込みの制御部27と、XBUSへ読み出す汎用レジスタのアドレスXAD（3：2）と内蔵RAM3に対するデータ転送を行う際の汎用レジスタのアドレスBNKAD（1：0）との内の1つを、内蔵RAM3に対するデータ転送を行うことを示す信号BNKTXに従って選択し、上記制御部27へ出力する第1のアドレスセクタ28と、内蔵RAM3に対するデータ転送を行う際の汎用レジスタRFのアドレスBNKAD（1：0）とZBUSへ読み出す汎用レジスタRFのアドレスZAD（3：2）との内の1つを、内蔵RAM3に対するデータ転送を行うことを示す信号BNKTXに従って選択し、上記制御部27へ出力する第2のアドレスセクタ29と、内蔵RAM3から汎用レジスタRFへの書き込みを行うことを示す信号BNKWRとZBUSから汎用レジスタRFへの書き込みを示す信号ZWRITEとの内の1つを、内蔵RAM3に対するデータ転送を行うことを示す信号BNKTXに従って選択し、上記制御部27へ出力する第3のセクタ30と、レジスタ部分26よりの64ビットのデータを、それぞれアドレスXAD（1：0）およびYAD（1：0）に従って、16ビットのデータへ変換して、XBUSおよびYBUSへ出力する第4および第5のセクタ32、34とを有している。

【0043】そして、64ビットのBNK-BUSは、専用データバス（第3のバス）SDBUSに接続されており、その専用データバスSDBUSによって、汎用レジスタRFのデータの退避／復帰を行う場合における高速のデータ転送が行われる。また、上記ZBUS、XBUS、YBUSは、それぞれ、図2に示すIDBUS1、IDBUS2、IDBUS3に接続されており、そのIDBUS1、IDBUS2、IDBUS3によって、通常の場合（汎用レジスタRFのデータの退避／復帰以外の場合）におけるデータの転送が行われる。これらBNKAD（1：0）、BNKWR、BNKTXの信号はバンクアドレス制御回路により生成され、XAD

（3：0）、YAD（3：0）、ZAB（3：0）、ZWRITEの信号はCPU内のコントローラにより生成される。

【0044】図4に、内蔵RAM3のブロック内部の構成図を示す。内蔵RAMブロック3はメモセルアレイ31のブロックと、アドレスデコード回路33、選択回路37及び39等の周辺ブロックとから構成される。また、上記内蔵RAM3のブロック内部には、16ビットのアドレスバスABUSとデータバスDBUSからなるシステムバスSYSBUS及びCPUコア2に直接接続される11ビットのバンクアドレスバスBABUS、64ビット幅の専用データバスSDBUSおよびリードライト信号等の信号線が設けられている。

【0045】そして、通常のメインメモリとして使用される時は、システムバスSYSBUSを介して、バスアクセスの規定に従って16ビット単位で、比較的低速にデータアクセスが行われる。しかし、CPUコア2がレジスタバンクの切り替えに伴うレジスタの退避／復帰を行う時には、バンクアドレスバスにあるアドレスに従って、専用データバスSDBUSを介して64ビット単位で高速にデータ転送が行われる。

【0046】このため、1サイクルで8バイト（16ビット×4本）分のレジスタの転送が可能であり、従って16ビット×16本のレジスタから構成された汎用レジスタの場合、4サイクルで全データの転送が完了する。

【0047】次に、割り込みが発生しバンク切り替えを行うときの動作を説明する。レジスタバンクの切り替えの処理手順は、以下のようになる。

【0048】(1-1) プログラムの実行中に割り込み事象が発生し、割り込み処理プログラムを実行する必要が生じたり、マルチタスク環境下で他の緊急度の高いプログラムを実行する必要が生じたり（タスクスイッチと呼ぶ）、メインプログラムからサブルーチンプログラムへプログラムの制御を移すサブルーチンコールが発生し、現在実行しているプログラムを一時的に中断し、新しいプログラムへ実行の制御を移す場合、まず、プログラムカウンタ（24ビット）とPSW（32ビット）のデータを専用データバスにのせて、バンクポイント×8のアドレスに書き込む。このバンクアドレス制御回路はPC/PSWをSDBUSに読み出す指示を出し、また、バンクポイントを8倍してバンクアドレスに出力する。

【0049】(1-2) 次にバンクアドレス制御回路は、バンクポイントの値を+1した値を8倍したデータ（(BP+1)×8）をバンクアドレスバスにのせ、汎用レジスタのR0～R8の64ビット分データをSDBUSに読み出す指示を出し、R0～R8のデータを内蔵RAMの(BP+1)×8のアドレスに書き込む。

【0050】(1-3) バンクアドレス制御回路は、(BP+2)×8というアドレスをバンクアドレスバスにのせ、R4～R7の64ビット分のデータをSDバスを介

して内蔵RAMに書き込む。

【0051】(1-4) $(BP+3) \times 8$ のアドレスに同様のことを行なう。

【0052】(1-5) $(BP+4) \times 8$ のアドレスに同様のことを行なう。

【0053】こうして、5回のサイクルによりプログラムカウンタ、プロセッサステータスワード、汎用レジスタ(R0~R15)のデータが内蔵RAMに退避される。

【0054】退避後の内蔵RAMは図8のようになる。

【0055】(2) コントローラ23により、バンクポイントBPの値が更新される。

【0056】(3) 必要であれば、64ビットの専用データバスSDBUSを経て、CPUコア2内のプログラムカウンタ/PSW/汎用レジスタRFへ新たなバンクポイントBPで示されるアドレスから開始する40バイトの内蔵RAM3のメモリ領域に存在するデータ、すなわち、サブルーチンプログラムのために必要なデータ、あるいは割り込み処理プログラムのために必要なデータ、あるいは緊急度の高いプログラムのために必要なデータが読み込まれる。

【0057】ここで上記データの読み込みは、後述する如くに、上記手順(1)で退避されたデータの一部がオーバーラップされて内蔵RAM3のメモリ領域から読み出されることが可能な様になっている。これにより、例えば、サブルーチンプログラムの処理に関連のあるメインルーチンプログラムデータの一部を一括して読み込む(レジスタバンク間でのデータの引き渡し)ことが可能となり、データ処理の効率がアップするものである。

【0058】(4) 上記サブルーチンプログラム、あるいは割り込み処理プログラム、あるいは緊急度の高いプログラムが終了した場合、復帰命令が出され、コントローラ23によりバンクポイントBPの値が上記手順(1)でデータ退避されたアドレス値に復帰され、その変えられたバンクポイントの値を元にバンクアドレス生成回路はバンクアドレスを生成し、バンクアドレスバスBABUSを介して内蔵RAM3へバンクアドレスを出力し、上記手順(1)で書き込まれた退避データが、64ビットの専用データバスSDBUSを経て、CPUコア2内のプログラムカウンタとPSWと汎用レジスタRFへ読み込まれ(データ復帰)、中断されていたプログラムが再開される。

【0059】上記データ読み込みのオーバーラップについて、より詳しく説明すると、本発明のレジスタバンクの構成を用いて、上記レジスタバンク間でデータの引き渡しを実現するには、内蔵RAM3上でレジスタバンクの写像範囲をオーバーラップさせればよく、それにはバンクポイントBPを適当な値に設定すれば良い。本実施例の場合、バンクポイントBPは8の倍数のバイトアドレスに設定可能であり、またプログラムカウンタ(24ビッ

ト)、PSW(32ビット)および16ビット×16本の汎用レジスタRFは内蔵RAM3上で40バイト分の領域を占める。従って、上記手順(1)でのバンクポイントBPの値をnとすると、内蔵RAM3内の書き込み開始アドレスはを $8n$ 番地であり、レジスタファイルRFの内容は $8n \sim 8n+39$ 番地のバイトアドレスを持つ内蔵RAM3内のメモリ位置に書き込まれる。次に、手順(2)でバンクポイントBPに書き込む値をmとする。すると、手順(3)では、 $8m \sim 8m+39$ 番地のアドレスにある内蔵RAM3内のデータがレジスタファイルに読み込まれる。

【0060】従って、バンクポイントの値nとmとの大小関係によっては、異なるレジスタバンク間で内蔵RAM3上の写像位置をオーバーラップさせ、オーバーラップした部分にあるデータをレジスタバンク間で引き渡すことができる。本実施例では、 $8n \leq 8m \leq 8n+39$ または $8m \leq 8n \leq 8m+39$ の関係を満たせば良い。図5に $n=3$ 、 $m=6$ の場合、図6に $n=6$ 、 $m=4$ の場合の異なるレジスタバンク間でレジスタファイルの写像範囲がオーバーラップしている図を示す。このように、本実施のレジスタバンクの構成方法により異なるレジスタバンク間やレジスタバンク切り替えの前後でデータを引き渡すことが容易に可能となり、データ処理の効率アップにつながるものである。

【0061】次に、図7に本発明の第2の実施例を示す。本実施例は、CPUコア2を内部に2組のレジスタファイルRF0及びRF1を持つ構成としたもので、図7は、そのCPUコア2内部の構成図を示したものである。尚、他の部分の構成は第1の実施例と同様である。CPUコア2内部には、2組のレジスタファイル(1組のレジスタファイルは16ビットのレジスタ16本から構成され、それぞれレジスタファイルRF0、レジスタファイルRF1と呼ぶ)、ALU25、3本の16ビット内部データバスIDBUS1~IDBUS3等から構成されている。また、レジスタファイルRF0のレジスタバンクの番号を示すバンクポイントBP0、レジスタファイルRF1のレジスタバンクの番号を示すバンクポイントBP1、及び2組のレジスタファイルRF0及びRF1のどちらが現在有効であることを示す1ビットのバンク指示F/F41(この内容が"1"の時はレジスタファイルRF1が、"0"の時はレジスタファイルRF0が有効であることを示す)を持つ。2組のレジスタファイルは、3本の16ビット内部データバスIDBUS1~IDBUS3及び64ビットの専用データバスSDBUSに接続される。また、2組のレジスタファイルRF0及びRF1はマルチプレクサMUX1を介して選択的に64ビットの専用データバスSDBUSと接続され、2組のバンクポイントP0及びBP1はマルチプレクサMUX2を介して選択的にバンクアドレス生成回路に入力する。バンクアドレス生成回路は、バンクポイン

タの値を+1したり8倍したりして、バンクアドレスを生成するとともに、汎用レジスタ／PC／PSWのSDBUSへの読み出し／書き込みを制御する。マルチプレクサMUX1およびMUX2は、バンク指示F／F41の内容に基づいて上記各選択を行う。

【0062】CPUコア2が通常にプログラムを実行している時には、バンク指示F／F41で指定される1組の汎用レジスタRFiが使用され、16ビット内部データバスIDBUS1～IDBUS3を通じてレジスタファイルRFiとALU25間でデータが処理される。

【0063】レジスタバンクの切り替え時には、以下の手順でレジスタファイルRFiの退避・復帰が行われる。

【0064】(1) プログラムの実行中に割り込み事象が発生し、割り込み処理プログラムを実行する必要が生じたり、マルチタスク環境下で他の緊急度の高いプログラムを実行する必要が生じたり（タスクスイッチと呼ぶ）、メインプログラムからサブルーチンプログラムへプログラムの制御を移すサブルーチンコールが発生し、現在実行しているプログラムを一時的に中断し、新しいプログラムへ実行の制御を移す場合、コントローラ23により、バンク指示F／F41の値が切り替えられ、レジスタファイルRF0が無効となる。

【0065】(2) 必要であれば64ビットの専用データバスSDBUSを経て、バンク指示F／F41で指示されているレジスタファイルRF1へ対応するバンクポイントBP1で示される内蔵RAM3のアドレス位置からデータすなわち、サブルーチンプログラムのために必要なデータ、あるいは割り込み処理プログラムのために必要なデータ、あるいは緊急度の高いプログラムのために必要なデータがレジスタファイルRF1へ読み込まれる。

【0066】(3) 現在無効となっているレジスタファイルRF0のデータが対応するバンクポイントBP0で示される内蔵RAM3のアドレス位置に64ビットの専用データバスSDBUSを経て書き込まれる（データ退避）。

【0067】(4) 上記サブルーチンプログラム、あるいは割り込み処理プログラム、あるいは緊急度の高いプログラムが終了した場合、復帰命令が出され、コントローラ23によりバンクポイントBPの値が上記手順(3)でデータ退避されたアドレス値に変えられ、その変えられたバンクポイントの値がバンクアドレスバスBABUSを介して内蔵RAM3へ送られ、上記手順(3)で書き込まれた退避データが、64ビットの専用データバスSDBUSを経て、CPUコア2内のレジスタファイルRFへ読み込まれ（データ復帰）、中断されていたプログラムが再開される。

【0068】手順(3)の処理は、レジスタバンク切り替えの際にすぐ行う必要はなく、バンク切り替えが終了し

新しいプログラムの実行が開始された後の適当な時に実行してもよい。これは、無効となったレジスタファイルRF0の内容は、次のレジスタバンク切り替えが起こるまで保持されている為である。従って、レジスタバンクの切り替えに要する時間は手順(1)と(2)の処理時間の和となる。

【0069】本実施例では、第1の実施例と比較して、手順(3)のレジスタファイルRF0の退避の処理が見かけ上レジスタバンクの切り替え時間に含まれないようにする事ができる分だけ高速な処理が可能である。

【0070】

【発明の効果】以上のように本発明によれば、レジスタバンクの機能を、内蔵RAMからデータメモリへデータをマッピング（写像）することにより実現することとし、また、このマッピングに伴う物理的なデータの転送を高速に行うために、内蔵RAMとデータメモリとの間に多ビット幅の第3のバス（専用データバスSDBUS）を設けることとしている。これによって、CPUコア内部には多ポートのデータメモリを最低1組のみ持てばよいという構成が可能となり、大規模な多ポートメモリによりレジスタバンク用のメモリをインプリメントする必要がない。従って、チップ面積が小さく、また設計も比較的容易で、高速動作の可能なシングルチップマイクロコンピュータを提供することができる。

【0071】すなわち、内蔵RAMにはシステムバス（A（23：0）、D（15：0））及びバンク専用バス（SDBUS、BABUS）からデータのリード／ライトが可能であるが、システムバスとバンク専用バスから同時に内蔵RAMをアクセスしない様に制御する為、内蔵RAMのメモリセルのポート数が1ポートでたりる。

【0072】また、レジスタバンクの切り替えに伴うデータメモリの内容の退避・回復の処理を多ビット幅の第3のバスで行うため、高速にレジスタバンクの切り替えを行うことができる。また、第3のバスを設けたため、この期間第1のバスを占有しなくてすむので、内蔵ROMから中央処理装置への命令の読み込み等他の目的に第1のバスを使用したり、システム内の他のバスマスタに第1、第2のバス権を与えて、それらのバスを使用させることができ、結果としてシステム性能の高いシステムを構築可能なシングルチップマイクロコンピュータを提供することができる。

【0073】すなわち、従来のシステムバスは、チップ内の様々なエレメント（内蔵ROM、シリアルIO）に接続されているため、負荷容量や配線容量が大きい。このため、高速のドライブができないので、データの転送時間が遅い。これに対し、本願発明では、コアとビルトインRAMとの間に専用バス（例えば、コアとビルトインRAMにのみ接続される）を設けた。この専用バスでは、従来のシステムバスよりも負荷容量・配線容量が小

さいので、高速ドライブが可能である。さらに、シングルチップマイクロコンピュータの設計時（ブロックレイアウト時）に、CPUコアとビルトインRAMとをできるだけ隣接させて配置することにより、専用バスの配線長を短くすることができ、配線容量をきわめて小さくすることが可能である。

【0074】また、バンク指示レジスタに適当な値を設定することにより、内蔵RAM上で、異なるレジスタバンクが写像される範囲をオーバーラップさせることができ、異なるレジスタバンク間もしくはレジスタバンク切り替え前後で1部のデータを共有（引き渡し）することができる。これにより、ソフトウェアのサブルーチンコール時のパラメータの受け渡しが容易に実現可能なシングルチップマイクロコンピュータを提供することができる。

【0075】更に、レジスタバンクのデータの実体は内蔵RAM上にあるが、内蔵メモリは通常のメインメモリとして使用することも可能なので、レジスタバンク機能が不要な時もオンチップメモリを有効に利用できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るシングルチップマイクロコンピュータの構成図である。

【図2】本発明の第1の実施例に係るシングルチップマイクロコンピュータのCPUコアの構成図である。

【図3】本発明の第1の実施例に係るシングルチップマイクロコンピュータのCPUコア内のレジスタファイルの構成図である。

【図4】本発明の第1の実施例に係るシングルチップマイクロコンピュータの内蔵RAMの構成図である。

【図5】本発明のシングルチップマイクロコンピュータの内蔵RAMにおいて、異なるレジスタバンク間でレジスタファイルの写像範囲がオーバーラップしている状態（ $n=3$ 、 $m=6$ の場合）を示すメモリマップである。

【図6】本発明のシングルチップマイクロコンピュータの内蔵RAMにおいて、異なるレジスタバンク間でレジスタファイルの写像範囲がオーバーラップしている状態

（ $n=6$ 、 $m=4$ の場合）を示すメモリマップである。

【図7】本発明の第2の実施例に係るシングルチップマイクロコンピュータのCPUコアの構成図である。

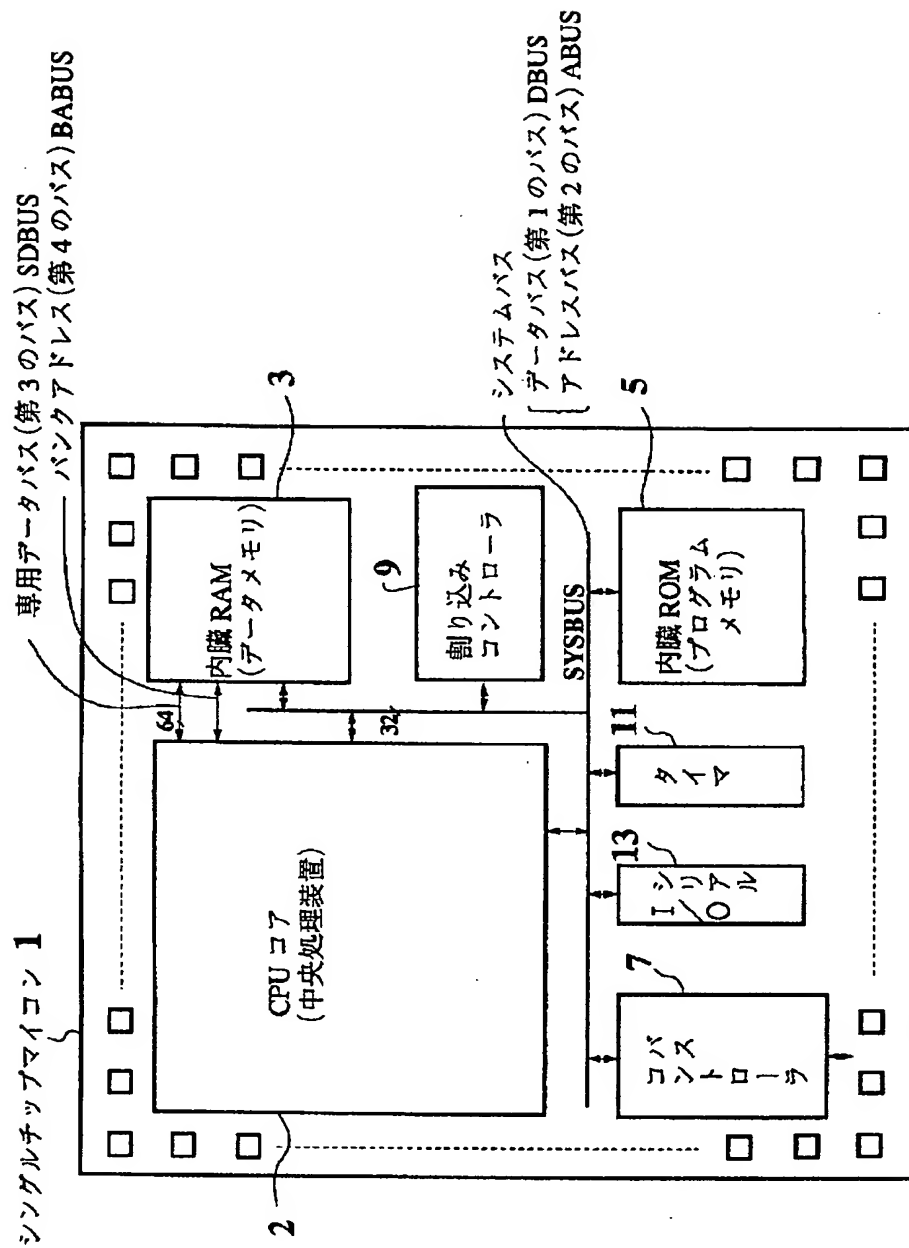
【図8】退避後の内蔵RAMの状態を示す図である。

【図9】従来のレジスタバンク機能を用いたシングルチップマイクロコンピュータの構成図である。

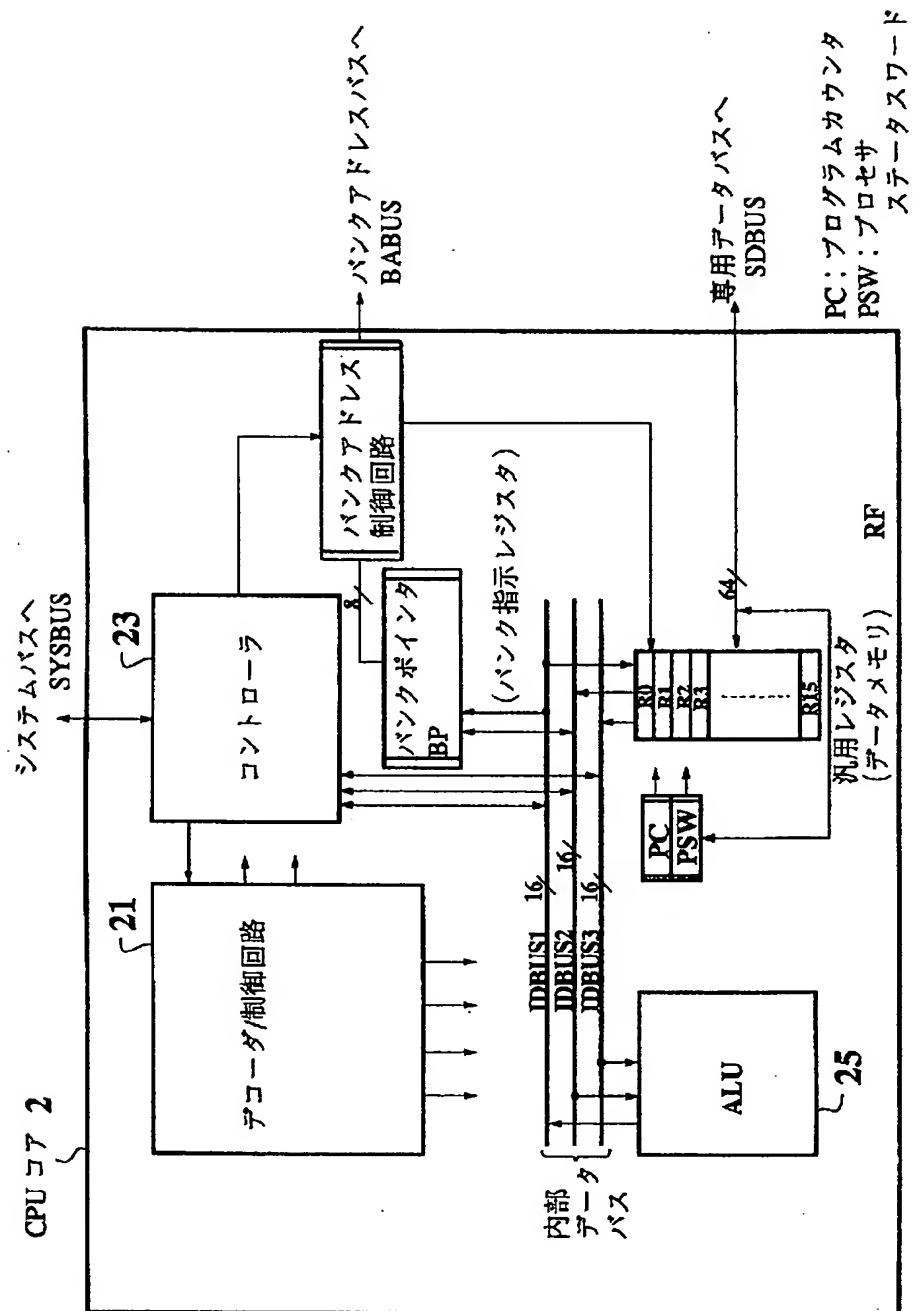
【図10】従来のシングルチップマイクロコンピュータ上に搭載されるCPUコアの構成図である。

【符号の説明】

- 1 シングルチップマイクロコンピュータ
- 2 CPUコア（中央処理装置）
- 3 内蔵RAM
- 5 内蔵ROM
- 7 バスコントローラ
- 9 割り込みコントローラ
- 11 シリアルI/O
- 13 タイマ
- DBUS データバス（第1のバス）
- ABUS アドレスバス（第2のバス）
- SYSBUS システムバス
- SDBUS 専用データバス（第3のバス）
- BABUS バンクアドレスバス（第4のバス）
- RF, RF0, RF1 レジスタファイル（データメモリ）
- BP, BP0, BP1 バンクポインタ（バンク指示レジスタ）
- 21 デコーダ/制御回路
- 23 コントローラ
- 25 ALU
- 31 メモリセルアレイ（記憶要素アレイ）
- 33 アドレスデコード回路
- 35 バンクアドレス制御回路
- 37, 39 選択回路
- MUX1 第1のマルチプレクサ
- MUX2 第2のマルチプレクサ
- 41 バンク指示フラグ

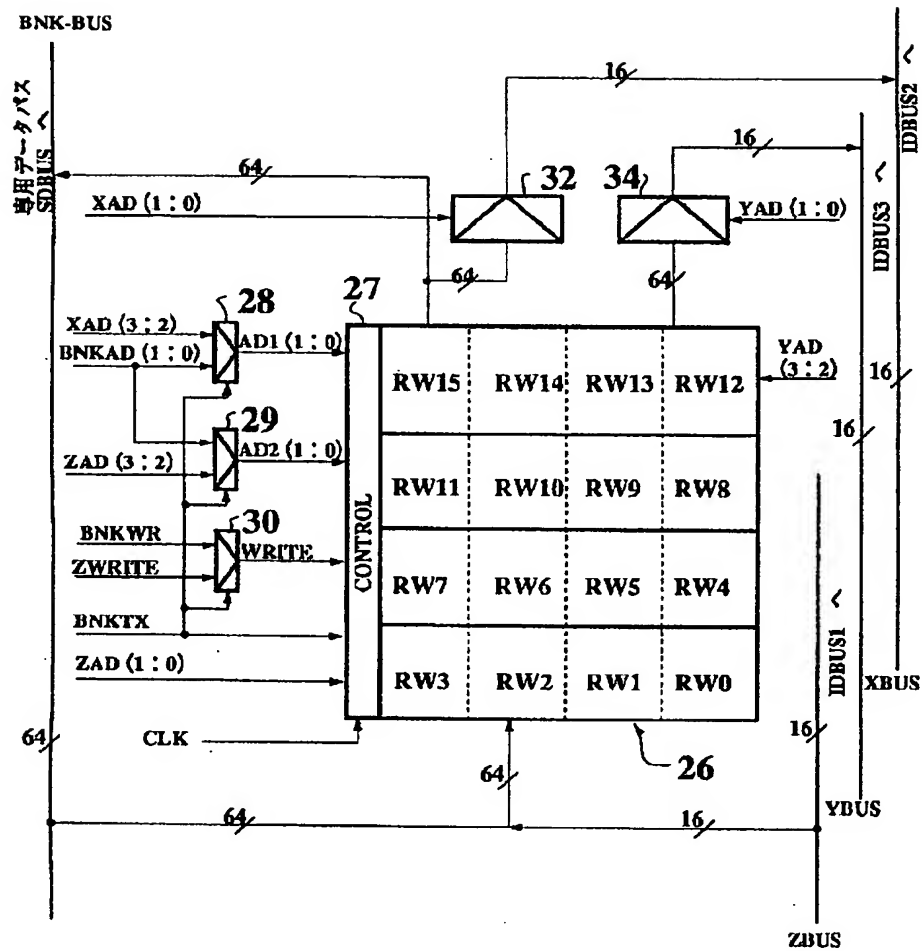


【図1】



【図2】

【図 3】



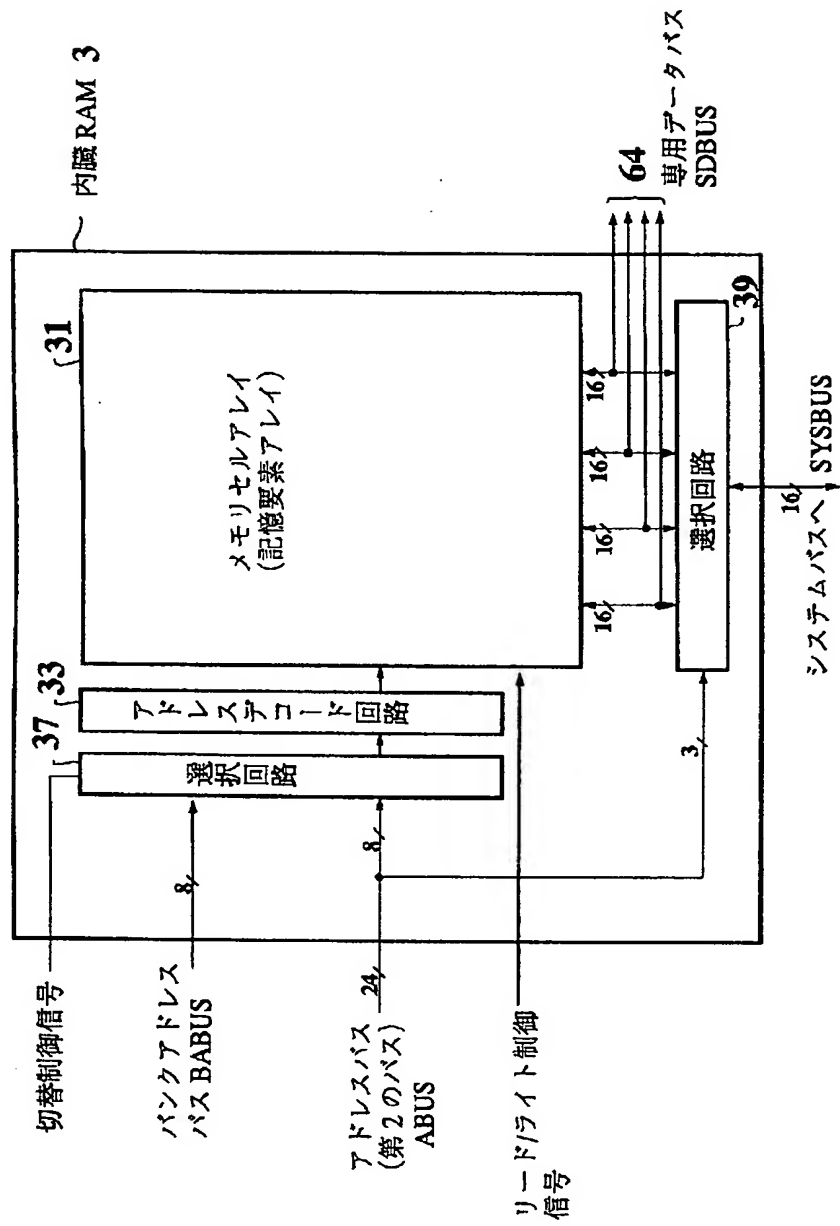
BNK-BUS：バンク RAM と接続する 64 ビットのデータバス

BNKAD (1:0)：バンク RAM と転送する際のレジスタファイルのアドレス

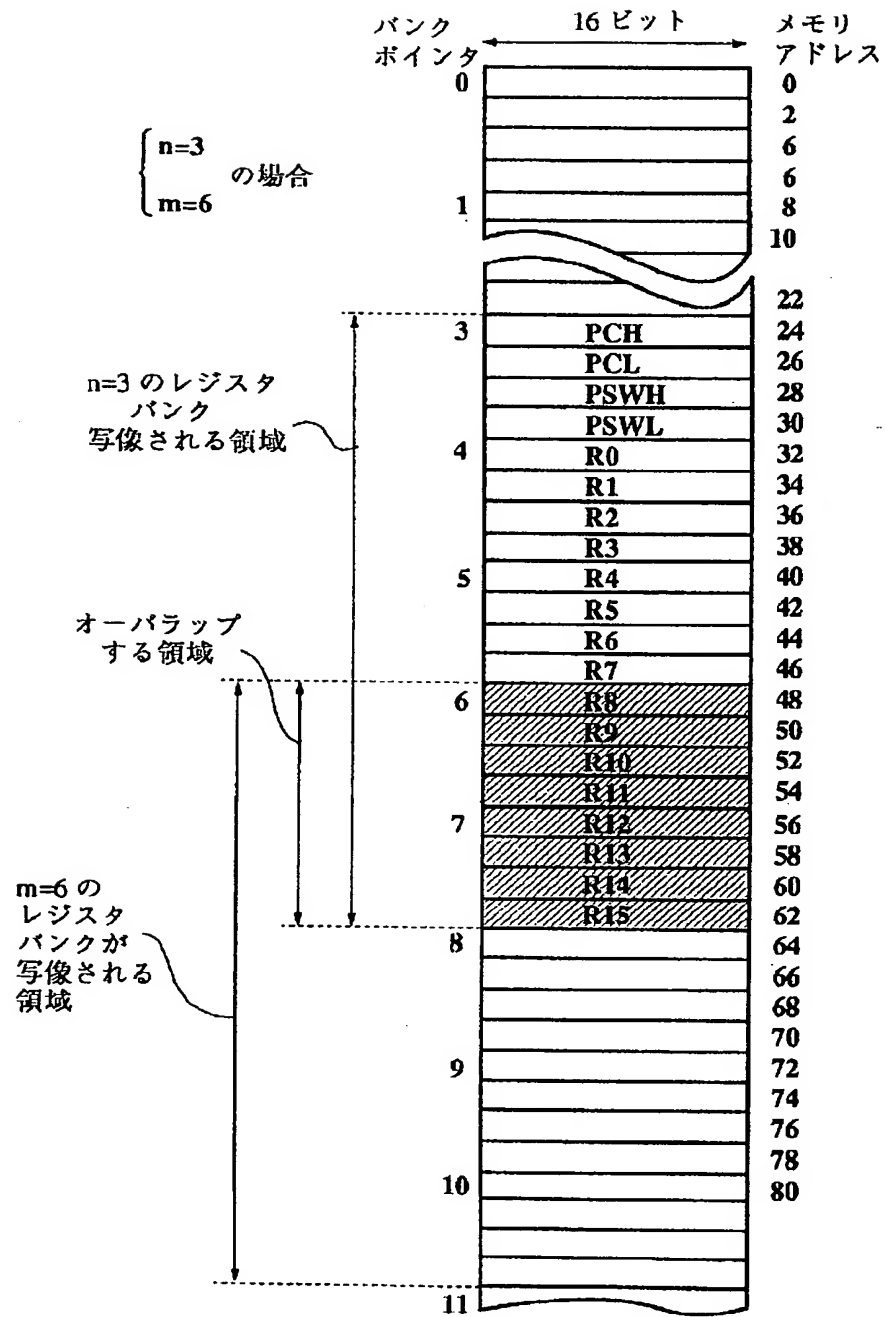
BNKTX：バンク RAM とレジスタファイルの転送を行なうことを示す。

BNKWR：バンク RAM からレジスタファイルへ書き込みを行なうことを示す。

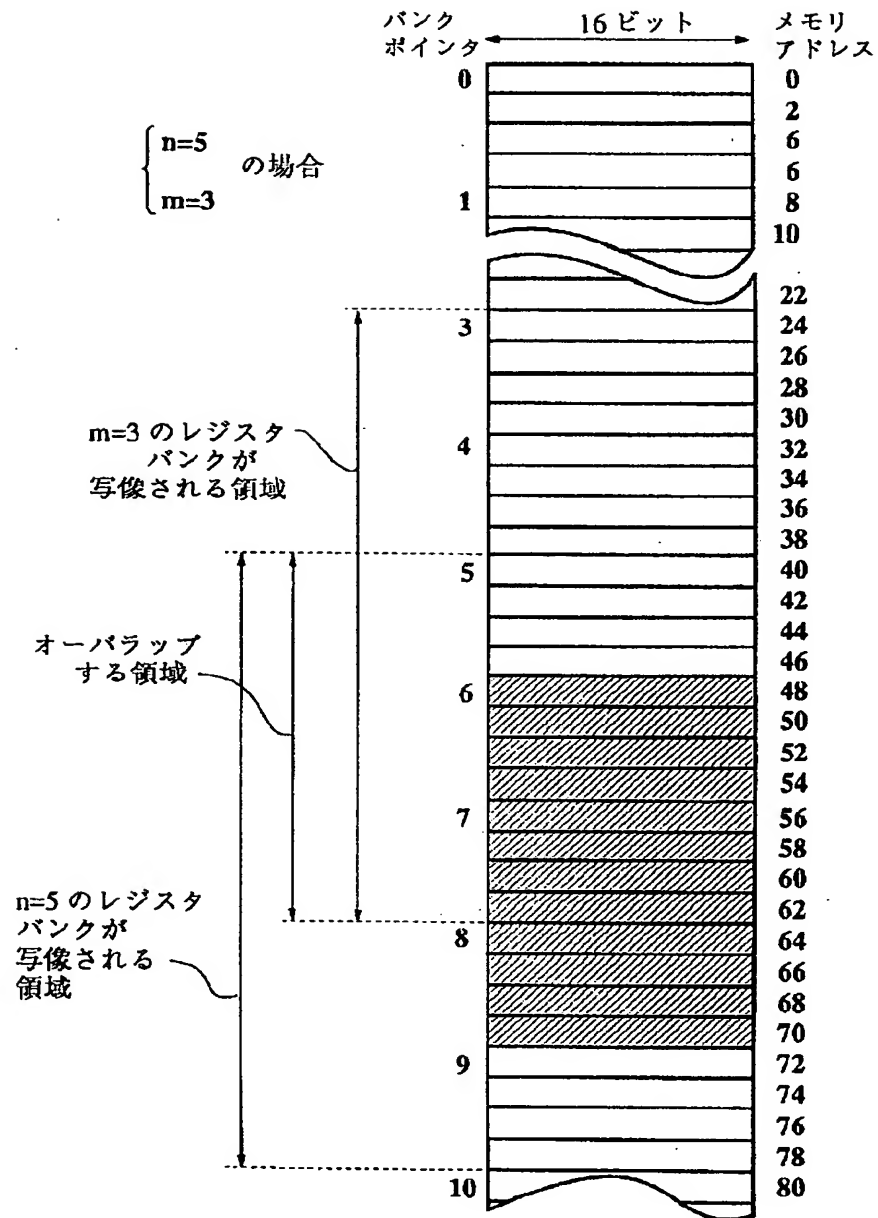
【図4】



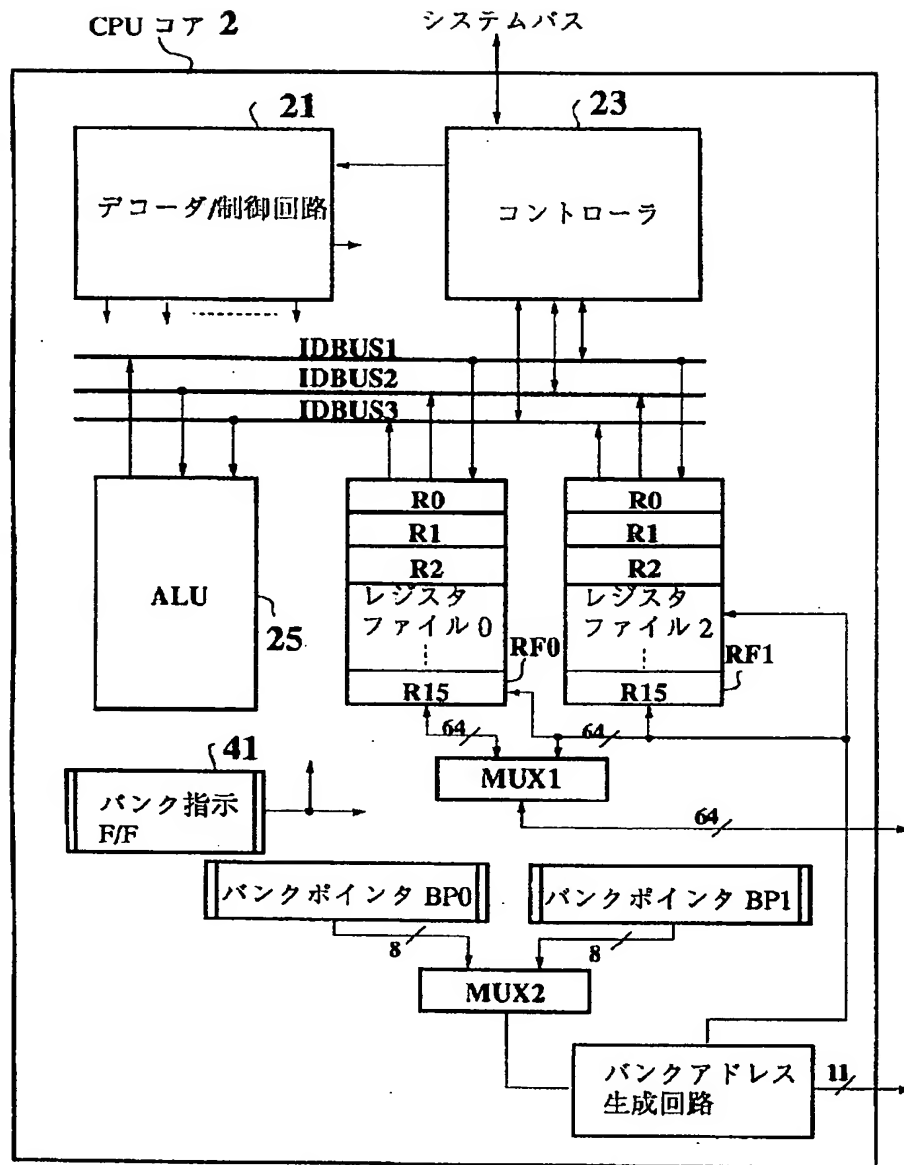
【図5】



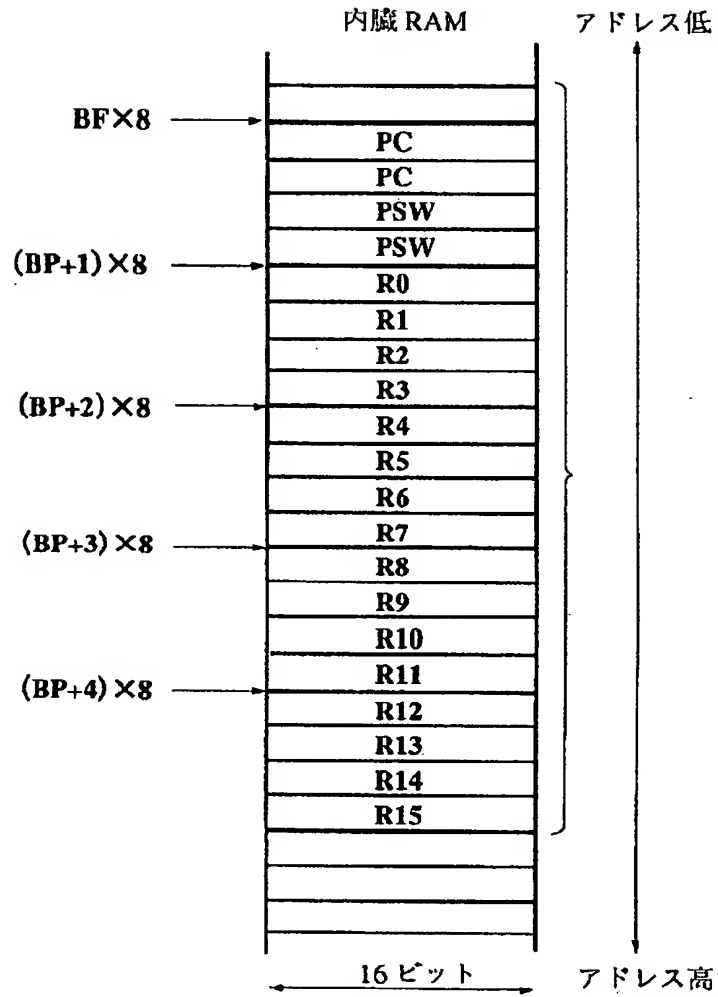
【図6】



【図7】

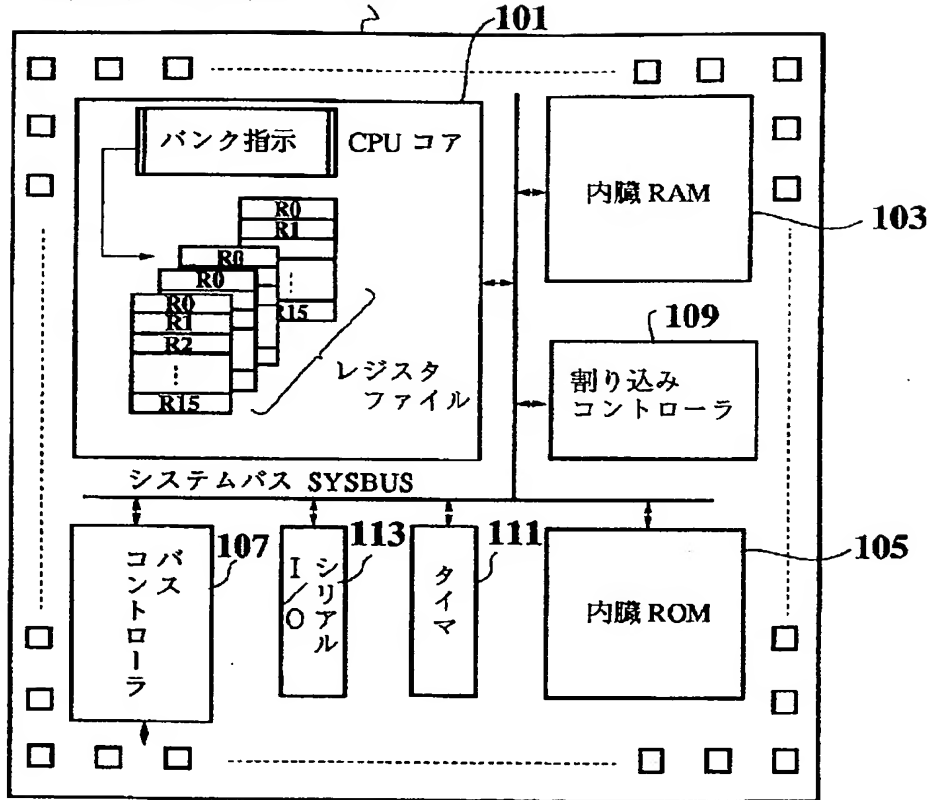


【図8】

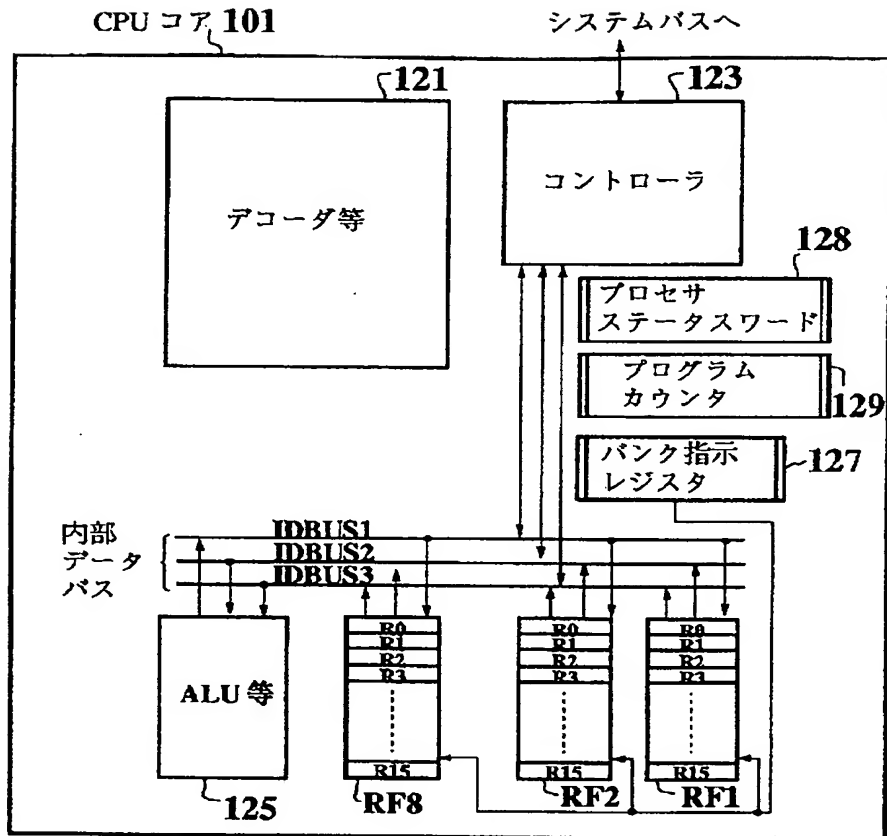


【図9】

シングルチップマイコン 100



【図10】



フロントページの続き

(72)発明者 加沼 安喜良
神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内